



PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Docket No: Q80081

Toshio MAEHARA

Appln. No.: 10/799,891

Group Art Unit: Not Yet Assigned

Confirmation No.: Not Yet Assigned

Examiner: Not Yet Assigned

Filed: March 15, 2004

For: IMAGE SIGNAL PROCESSING DEVICE

SUBMISSION OF PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Submitted herewith is one (1) certified copy of the priority document on which a claim to priority was made under 35 U.S.C. § 119. The Examiner is respectfully requested to acknowledge receipt of said priority document.

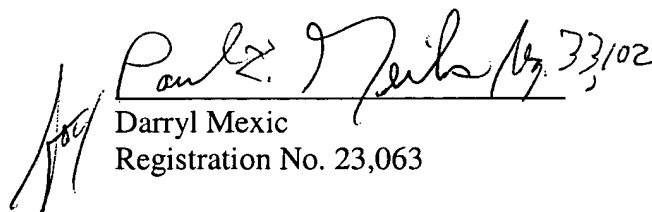
Respectfully submitted,

SUGHRUE MION, PLLC
Telephone: (202) 293-7060
Facsimile: (202) 293-7860

WASHINGTON OFFICE

23373

CUSTOMER NUMBER


Darryl Mexic
Registration No. 23,063

Enclosures: Japan 2003-069709

Date: April 9, 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 1 4 日
Date of Application:

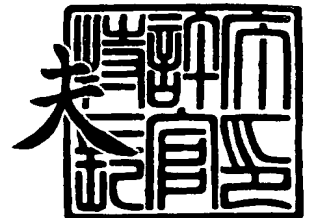
出 願 番 号 特 願 2 0 0 3 - 0 6 9 7 0 9
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 6 9 7 0 9]

出 願 人
Applicant(s): パイオニア株式会社
パイオニア・マイクロ・テクノロジー株式会社

2 0 0 4 年 3 月 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 57P0615

【提出日】 平成15年 3月14日

【あて先】 特許庁長官殿

【国際特許分類】 H03M 1/00

【発明の名称】 画像信号処理装置

【発明者】

【住所又は居所】 山梨県甲府市大里町 4 6 5 番地 パイオニアビデオ株式会社 国母事業所内

【氏名】 前原 敏夫

【特許出願人】

【識別番号】 000005016

【氏名又は名称】 パイオニア株式会社

【特許出願人】

【識別番号】 000111889

【氏名又は名称】 パイオニアビデオ株式会社

【代理人】

【識別番号】 100079119

【弁理士】

【氏名又は名称】 藤村 元彦

【手数料の表示】

【予納台帳番号】 016469

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9006557

【包括委任状番号】 9006875

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像信号処理装置

【特許請求の範囲】

【請求項 1】 表示パネルの各画素に対応して供給される入力画素データをアナログの画像信号に変換する画像信号処理装置であって、

前記入力画素データの上位ビット群からなる上位ビット画素データにその最下位のビット桁に対応した値を加算して加算上位ビット画素データを得る演算手段と、

前記下位ビット画素データの値に応じて、前記加算上位ビット画素データ及び前記上位ビット画素データの内のいずれか一方を選択してこれを変換対象画素データとして出力する選択手段と、

前記変換対象画素データに対してディジタルアナログ変換処理を施すことによりアナログの前記画像信号を得る D/A 変換手段と、を有することを特徴とする画像信号処理装置。

【請求項 2】 前記選択手段は、所定の単位期間内における前記下位ビット画素データの値に応じた期間中は前記加算上位ビット画素データを選択する一方、前記単位期間内におけるその他の期間では前記上位ビット画素データを選択することを特徴とする請求項 1 記載の画像信号処理装置。

【請求項 3】 前記下位ビット画素データは、前記入力画素データの下位 M ビット (M は自然数) からなり、

前記選択手段は、連続する 2^M 個のフレーム分の前記入力画素データに対する画像信号処理毎に、前記下位ビット画素データの値に応じた数のフレームでは前記加算上位ビット画素データを選択する一方、その他のフレームでは前記上位ビット画素データを選択することを特徴とする請求項 1 記載の画像信号処理装置。

【請求項 4】 前記下位ビット画素データは、N ビット (N は自然数) の前記入力画素データの最下位ビットを含む下位 M ビット分 (M は N よりも小なる自然数) からなるデータであり、

前記上位ビット画素データは、前記入力画素データの最上位ビットを含む上位 (N-M) ビット分からなるデータであることを特徴とする請求項 1 記載の画像

信号処理装置。

【請求項 5】 表示パネルの各画素に対応して供給される入力画素データをアナログの画像信号に変換する画像信号処理装置であって、

前記入力画素データの上位ビット群からなる上位ビット画素データに対してデジタルアナログ変換処理を施すことによりアナログの画像信号を得る D/A 変換手段と、

前記入力画素データの下位ビット群からなる下位ビット画素データの値に応じて、前記上位ビット画素データの最下位のビット桁に対応した値を前記画像信号に加算した加算結果を出力する演算手段と、を有することを特徴とする画像信号処理装置。

【請求項 6】 前記演算手段は、所定の単位期間内における前記下位ビット画素データの値に応じた期間中は前記上位ビット画素データの最下位のビット桁に対応した値を前記画像信号に加算した加算結果を出力する一方、前記単位期間内におけるその他の期間では前記画像信号をそのまま出力することを特徴とする請求項 5 記載の画像信号処理装置。

【請求項 7】 前記下位ビット画素データは、前記入力画素データの下位 M ビット (M は自然数) からなり、

前記演算手段は、連続する 2^M 個のフレーム分の前記入力画素データに対する画像信号処理毎に、前記下位ビット画素データの値に応じた数のフレームでは前記上位ビット画素データの最下位のビット桁に対応した値を前記画像信号に加算した加算結果を出力する一方、その他のフレームでは前記画像信号をそのまま出力することを特徴とする請求項 5 記載の画像信号処理装置。

【請求項 8】 前記下位ビット画素データは、N ビット (N は自然数) の前記入力画素データの最下位ビットを含む下位 M ビット分 (M は N よりも小なる自然数) からなるデータであり、

前記上位ビット画素データは、前記入力画素データの最上位ビットを含む上位 (N-M) ビット分からなるデータであることを特徴とする請求項 5 記載の画像信号処理装置。

【発明の詳細な説明】

【0001】**【発明の属する技術分野】**

本発明は、デジタル画像信号をアナログの画像信号に変換する画像信号処理装置に関する。

【0002】**【従来の技術】**

現在、例えばアクティブマトリクス方式の液晶表示パネルを駆動する液晶駆動装置には、入力されたデジタル画像信号をアナログの画像信号に変換するD/A変換器が搭載されている(例えば、特許文献1参照)。

かかるD/A変換器は、出力すべきアナログ信号のレベルに対応した各種の中間電圧を予め生成しておき、これら中間電圧の内から、入力されたデジタル画像信号に対応した中間電圧を選択して出力するようにしている。

【0003】

よって、上記の如きD/A変換器においては、入力デジタル画像信号のビット数が多くなるほど、つまり要求される分解能が高くなるほど、より多種の中間電圧を生成しなければならず、回路規模が大になるという問題が生じる。

【0004】**【特許文献1】**

特開 2002-43944 号公報

【0005】**【発明が解決しようとする課題】**

本発明は、かかる問題を解決すべく為されたものであり、小なる回路規模にてデジタル画像信号をアナログ画像信号に変換することが可能な画像信号処理装置を提供することを目的とする。

【0006】**【課題を解決するための手段】**

請求項1記載による画像信号処理装置は、表示パネルの各画素に対応して供給される入力画素データをアナログの画像信号に変換する画像信号処理装置であって、前記入力画素データの上位ビット群からなる上位ビット画素データにその最

下位のビット桁に対応した値を加算して加算上位ビット画素データを得る演算手段と、前記下位ビット画素データの値に応じて、前記加算上位ビット画素データ及び前記上位ビット画素データの内のいずれか一方を選択してこれを変換対象画素データとして出力する選択手段と、前記変換対象画素データに対してデジタルアナログ変換処理を施すことによりアナログの前記画像信号を得るD/A変換手段と、を有する。

【0007】

又、請求項5記載による画像信号処理装置は、表示パネルの各画素に対応して供給される入力画素データをアナログの画像信号に変換する画像信号処理装置であって、前記入力画素データの上位ビット群からなる上位ビット画素データに対してデジタルアナログ変換処理を施すことによりアナログの画像信号を得るD/A変換手段と、前記入力画素データの下位ビット群からなる下位ビット画素データの値に応じて、前記上位ビット画素データの最下位のビット桁に対応した値を前記画像信号に加算した加算結果を出力する演算手段と、を有する。

【0008】

【発明の実施の形態】

以下、本発明の実施例を図面を参照しつつ詳細に説明する。

図1は、本発明による画像信号処理装置を搭載したディスプレイ装置の概略構成を示す図である。

図1において、表示パネル1は、各画素を担う画素セルがマトリクス状に配列されている例えば、液晶ディスプレイパネル、エレクトロルミネッセンスディスプレイパネル、又はプラズマディスプレイパネルの如きディスプレイパネルである。ドライバ2は、画像信号処理装置3から供給されたアナログの画像信号に対応した画像を表示パネル1の画面上に表示させるべき各種駆動信号を発生して上記表示パネル1に供給する。

【0009】

画像信号処理装置3は、フレーム検出回路30、ビット分離回路31、選択制御回路32、セクタ33、+1加算器34及びD/A変換器35から構成される。

フレーム検出回路 30 は、表示パネル 1 の各画素に対応した入力画素データ PD が 1 フレーム分供給される度にフレーム検出信号 FD を発生し、これを選択制御回路 32 に供給する。尚、入力画素データ PD は、N ビットのデジタルデータであり、各画素毎にその画素を発光させるべき輝度レベルを N ビットで表すものである。

【0010】

ビット分離回路 31 は、N ビットの入力画素データ PD を、その最下位ビットを含む下位の M ビット分 (M: N よりも小なる自然数) からなる下位ビット群と、その最上位ビットを含む上位 (N-M) ビット分からなる上位ビット群とに分離する。そして、ビット分離回路 31 は、かかる下位ビット群を下位ビット画素データ DL として選択制御回路 32 に供給すると共に、上位ビット群を上位ビット画素データ DU としてセクタ 33 及び +1 加算器 34 に供給する。

【0011】

+1 加算器 34 は、(N-M) ビットからなる上位ビット画素データ DU の最下位ビットに「1」を加算して得られた (N-M) ビットの加算上位ビット画素データ DU_{ADD} をセクタ 33 に供給する。つまり、加算上位ビット画素データ DU_{ADD} とは、上位ビット画素データ DU にその最下位のビット桁に対応した値を加算した、いわゆる下位ビット群からの桁上げが為されたものである。

【0012】

選択制御回路 32 は、先ず、フレーム検出信号 FD に基づいて 2^M フレーム分の入力画素データ PD が供給されたか否かを検出する。ここで、 2^M フレーム分の入力画素データ PD が供給されたことを検出する度に、選択制御回路 32 は、その内の 1 フレーム分の入力画素データ PD に基づき各画素毎の下位ビット画素データ DL を取り込む。そして、選択制御回路 32 は、取り込んだ 1 フレーム分の各画素毎の下位ビット画素データ DL に基づき、その後の 2^M フレーム処理期間毎に、各フレームにおいて上位ビット画素データ DU 及び加算上位ビット画素データ DU_{ADD} の内のどちらを選択させるのかを示す選択信号 S を生成する。この際、選択制御回路 32 は、上述した如き 2^M フレーム処理期間内において、下位ビット画素データ DL に応じた数のフレームでは加算上位ビット画素データ D

U_{ADD}、その他のフレームでは上位ビット画素データ D_Uを示す選択信号 S を生成してセクタ 33 に供給する。

【0013】

例えば、ビット分離回路 31 において分離された下位ビット群のビット数 M が 1 である場合には、選択制御回路 32 は下記の如き動作を行う。

先ず、下位ビット画素データ D_Lが [0] の場合には、選択制御回路 32 は、常に、上位ビット画素データ D_Uを選択させるべき選択信号 S をセクタ 33 に供給する。又、下位ビット画素データ D_Lが [1] の場合には、選択制御回路 32 は、2 フレーム処理期間毎に、第 1 番目のフレームでは加算上位ビット画素データ D_{U_{ADD}}、第 2 番目のフレームでは上位ビット画素データ D_Uを夫々選択させるべき選択信号 S をセクタ 33 に供給する。

【0014】

又、ビット分離回路 31 において分離された下位ビット群のビット数 M が 2 である場合には、選択制御回路 32 は下記の如き動作を行う。

先ず、下位ビット画素データ D_Lが [00] の場合には、選択制御回路 32 は、常に上位ビット画素データ D_Uを選択させるべき選択信号 S をセクタ 33 に供給する。又、下位ビット画素データ D_Lが [01] の場合には、選択制御回路 32 は、4 フレーム処理期間毎に、第 2 番目のフレームでは加算上位ビット画素データ D_{U_{ADD}}、その他の第 1、第 3 及び第 4 番目のフレームでは上位ビット画素データ D_Uを選択させるべき選択信号 S をセクタ 33 に供給する。又、下位ビット画素データ D_Lが [10] の場合には、選択制御回路 32 は、4 フレーム処理期間毎に、第 1 及び第 3 番目のフレームでは加算上位ビット画素データ D_{U_{ADD}}、第 2 及び第 4 番目のフレームでは上位ビット画素データ D_Uを選択させるべき選択信号 S をセクタ 33 に供給する。又、下位ビット画素データ D_Lが [11] の場合には、選択制御回路 32 は、4 フレーム処理期間毎に、第 4 番目のフレームでは上位ビット画素データ D_U、第 1～第 3 番目のフレーム各々では加算上位ビット画素データ D_{U_{ADD}}を選択させるべき選択信号 S をセクタ 33 に供給する。

【0015】

又、ビット分離回路 31 において分離された下位ビット群のビット数 M が 3 である場合には、選択制御回路 32 は下記の如き動作を行う。

先ず、下位ビット画素データ D_L が $[000]$ の場合には、選択制御回路 32 は、常に、上位ビット画素データ D_U を選択させるべき選択信号 S をセレクタ 33 に供給する。又、下位ビット画素データ D_L が $[001]$ の場合には、選択制御回路 32 は、8 フレーム処理期間毎に、第 4 番目のフレームでは加算上位ビット画素データ D_{U_ADD} 、第 1 ～ 第 3、第 5 ～ 第 8 番目のフレームでは上位ビット画素データ D_U を選択させるべき選択信号 S をセレクタ 33 に供給する。又、下位ビット画素データ D_L が $[010]$ の場合には、選択制御回路 32 は、8 フレーム処理期間毎に、第 2 及び第 6 番目のフレームでは加算上位ビット画素データ D_{U_ADD} 、その他の第 1、第 3 ～ 第 5、第 7 及び第 8 番目のフレームでは上位ビット画素データ D_U を選択させるべき選択信号 S をセレクタ 33 に供給する。又、下位ビット画素データ D_L が $[011]$ の場合には、選択制御回路 32 は、8 フレーム処理期間毎に、第 2、第 4 及び第 6 番目のフレームでは加算上位ビット画素データ D_{U_ADD} 、その他の第 1、第 3、第 5、第 7 及び第 8 番目のフレームでは上位ビット画素データ D_U を選択させるべき選択信号 S をセレクタ 33 に供給する。又、下位ビット画素データ D_L が $[100]$ の場合には、選択制御回路 32 は、8 フレーム処理期間毎に、第 1、第 3、第 5 及び第 7 番目のフレームでは加算上位ビット画素データ D_{U_ADD} 、第 2、第 4、第 6 及び第 8 番目のフレームでは上位ビット画素データ D_U を選択させるべき選択信号 S をセレクタ 33 に供給する。又、下位ビット画素データ D_L が $[101]$ の場合には、選択制御回路 32 は、8 フレーム処理期間毎に、第 1、第 3、第 4、第 5 及び第 7 番目のフレームでは加算上位ビット画素データ D_{U_ADD} 、その他の第 2、第 6 及び第 8 番目のフレームでは上位ビット画素データ D_U を選択させるべき選択信号 S をセレクタ 33 に供給する。又、下位ビット画素データ D_L が $[110]$ の場合には、選択制御回路 32 は、8 フレーム処理期間毎に、第 1 ～ 第 3 番目及び第 5 ～ 第 7 番目のフレームでは加算上位ビット画素データ D_{U_ADD} 、その他の第 4 及び第 8 番目のフレームでは上位ビット画素データ D_U を選択させるべき選択信号 S をセレクタ 33 に供給する。又、下位ビット画素データ D_L が $[111]$ の場合には

、選択制御回路 32 は、8 フレーム処理期間毎に、第 1 ～ 第 7 番目のフレームでは加算上位ビット画素データ D_{U_ADD} 、第 8 番目のフレームでは上位ビット画素データ D_U を選択させるべき選択信号 S をセレクタ 33 に供給する。

【0016】

セレクタ 33 は、上位ビット画素データ D_U 及び加算上位ビット画素データ D_{U_ADD} の内から、上記選択信号 S にて示される方を選択してこれを変換対象画素データ D_D として D/A 変換器 35 に供給する。 D/A 変換器 35 は、供給された変換対象画素データ D_D をアナログの画像信号に変換してこれを上記ドライバ 2 に供給する。

【0017】

以下に、上記の如き構成による画像信号処理装置 3 の動作について、図 2 ～ 図 5 に示される一例を用いて説明する。

図 2 は、ビット分離回路 31 において分離された下位ビット群のビット数 M が 1 である場合に、 D/A 変換器 35 に入力される変換対象画素データ D_D を示す図である。

【0018】

まず、下位ビット画素データ D_L が [1] の場合には、第 $(2n-1)$ 番目のフレーム (n は自然数) では加算上位ビット画素データ D_{U_ADD} 、第 $(2n)$ 番目のフレームでは上位ビット画素データ D_U が変換対象画素データ D_D となる。すなわち、下位ビット画素データ D_L が [1] の場合には、第 $(2n-1)$ 及び第 $(2n)$ 番目のフレームの内の 1 フレームにおいて加算上位ビット画素データ D_{U_ADD} が変換対象画素データ D_D として D/A 変換器 35 に供給されるのである。一方、下位ビット画素データ D_L が [0] の場合には、全てのフレームにおいて上位ビット画素データ D_U が変換対象画素データ D_D として D/A 変換器 35 に供給される。つまり、下位ビット画素データ D_L が [0] の場合には、加算上位ビット画素データ D_{U_ADD} が D/A 変換対象となることはない。

【0019】

ここで、入力画素データ P_D が例えば 8 ビットである場合、上位ビット画素データ D_U は 7 ビットデータとなり、加算上位ビット画素データ D_{U_ADD} はこの上

位ビット画素データ D_U の最下位ビットに「1」を加算した7ビットデータとなる。つまり、入力画素データ P_D の最下位ビットからの桁上げ分を上位ビット画素データ D_U に加算したものが、加算上位ビット画素データ D_{U_ADD} となる。この際、2フレーム処理期間内において、入力画素データ P_D の最下位ビットの値に応じたフレームの数（0又は1）だけそのフレームでは加算上位ビット画素データ D_{U_ADD} が D/A 変換対象となり、その他のフレームでは上位ビット画素データ D_U が D/A 変換対象となる。つまり、入力画素データ P_D の最下位ビットが論理レベル「0」である場合には、この最下位ビット分に対する D/A 変換処理は実質的に不要となるので、入力画素データ P_D の上位7ビット分（ D_U ）だけで D/A 変換を実施する。ところが、入力画素データ P_D の最下位ビットが論理レベル「1」である場合には、この最下位ビット分を D/A 変換処理に反映させる必要が生じる。そこで、2フレーム処理期間中の1フレームでは、入力画素データ P_D の上位7ビット分（ D_U ）に下位ビットからの桁上げ分を加味した加算上位ビット画素データ D_{U_ADD} を D/A 変換対象とするようにしている。かかる動作によれば、例え D/A 変換器 35 自体の分解能が7ビットであっても、2フレーム処理期間を通して最終的に視覚される画像の分解能は入力画素データ P_D によって要求される8ビット相当になる。

【0020】

図3は、ビット分離回路 31 において分離された下位ビット群のビット数 M が2である場合に、 D/A 変換器 35 に入力される変換対象画素データ DD を示す図である。

図3に示されるように、下位ビット画素データ D_L が [11] の場合には、第 $(4n-3)$ 、第 $(4n-2)$ 及び第 $(4n-1)$ 番目のフレーム各々では加算上位ビット画素データ D_{U_ADD} 、第 $(4n)$ 番目のフレームでは上位ビット画素データ D_U が変換対象画素データ DD となる。すなわち、下位ビット画素データ D_L が [11] の場合には、連続する4つのフレームの内の3つのフレーム各々において、加算上位ビット画素データ D_{U_ADD} が D/A 変換対象となるのである。又、下位ビット画素データ D_L が [10] の場合には、第 $(4n-3)$ 番目及び第 $(4n-1)$ 番目のフレーム各々では加算上位ビット画素データ D_{U_ADD} 、

第 $(4n-2)$ 番目及び第 $(4n)$ 番目のフレーム各々では上位ビット画素データ D_U が変換対象画素データ D_D となる。すなわち、下位ビット画素データ D_L が $[10]$ の場合には、連続する 4 つのフレームの内の 2 つのフレーム各々において、加算上位ビット画素データ D_{U_ADD} が D/A 変換対象となるのである。又、下位ビット画素データ D_L が $[01]$ の場合には、第 $(4n-2)$ 番目のフレームでは加算上位ビット画素データ D_{U_ADD} 、第 $(4n-3)$ 、第 $(4n-1)$ 及び第 $(4n)$ 番目のフレーム各々では上位ビット画素データ D_U が変換対象画素データ D_D となる。すなわち、下位ビット画素データ D_L が $[01]$ の場合には、連続する 4 つのフレームの内の 1 つのフレームにて、加算上位ビット画素データ D_{U_ADD} が D/A 変換対象となるのである。又、下位ビット画素データ D_L が $[00]$ の場合には、全てのフレームにおいて上位ビット画素データ D_U が変換対象画素データ D_D となる。つまり、下位ビット画素データ D_L が $[00]$ の場合には、いずれのフレームにおいても、加算上位ビット画素データ D_{U_ADD} が D/A 変換対象にはならない。

【0021】

ここで、入力画素データ P_D が例えば 8 ビットである場合、上位ビット画素データ D_U は 6 ビットデータとなり、加算上位ビット画素データ D_{U_ADD} はこの上位ビット画素データ D_U の最下位ビットに「1」を加算した 6 ビットデータとなる。つまり、入力画素データ P_D の下位 2 ビットからの桁上げ分を上位ビット画素データ D_U に加算したものが、加算上位ビット画素データ D_{U_ADD} となる。この際、4 フレーム処理期間内において、入力画素データ P_D の下位 2 ビットの値に応じたフレームの数（0、1、2 又は 3）だけそのフレームでは加算上位ビット画素データ D_{U_ADD} が D/A 変換対象となり、その他のフレームでは上位ビット画素データ D_U が D/A 変換対象となる。例えば、入力画素データ P_D の下位 2 ビットが論理レベル「00」である場合には、この最下位ビット分に対する D/A 変換処理は実質的に不要となるので、入力画素データ P_D の上位 6 ビット分（ D_U ）だけで D/A 変換を実施する。ところが、入力画素データ P_D の下位 2 ビット分が論理レベル「00」以外の値である場合には、その値に応じた分を D/A 変換処理に反映させる必要が生じる。そこで、入力画素データ P_D の下位 2

ビット分が論理レベル「01」である場合には、4フレーム処理期間あたり1フレームでは、加算上位ビット画素データ D_{UADD} を D/A 変換対象としている。又、入力画素データ P_D の下位2ビット分が論理レベル「10」である場合には4フレーム処理期間あたり2フレーム、論理レベル「11」である場合には4フレーム処理期間あたり3フレームにて、加算上位ビット画素データ D_{UADD} を D/A 変換対象とするようにしている。かかる動作によれば、例えば D/A 変換器 35 自体の分解能が6ビットであっても、4フレーム処理期間を通して最終的に視覚される画像の分解能は、入力画素データ P_D によって要求される8ビット相当になる。

【0022】

図4及び図5は、ビット分離回路 31 において分離された下位ビット群のビット数 M が3である場合に、 D/A 変換器 35 に入力される変換対象画素データ D の一例を示す図である。

図4又は図5に示されるように、下位ビット画素データ D_L が「111」の場合には、第 $(8n-7)$ 、第 $(8n-6)$ 、第 $(8n-5)$ 、第 $(8n-4)$ 、第 $(8n-3)$ 、第 $(8n-2)$ 及び第 $(8n-1)$ 番目の各フレームでは加算上位ビット画素データ D_{UADD} 、第 $(8n)$ 番目のフレームでは上位ビット画素データ D_U が変換対象画素データ D_D となる。すなわち、下位ビット画素データ D_L が「111」の場合には、連続する8つのフレームの内の7つのフレーム各々において、加算上位ビット画素データ D_{UADD} が D/A 変換対象となる。又、下位ビット画素データ D_L が「110」の場合には、第 $(8n-7)$ 、第 $(8n-6)$ 、第 $(8n-5)$ 、第 $(8n-3)$ 、第 $(8n-2)$ 及び第 $(8n-1)$ 番目のフレーム各々では加算上位ビット画素データ D_{UADD} 、第 $(8n-4)$ 及び第 $(8n)$ 番目のフレーム各々では上位ビット画素データ D_U が変換対象画素データ D_D となる。すなわち、下位ビット画素データ D_L が「110」の場合には、連続する8つのフレームの内の6つのフレーム各々において、加算上位ビット画素データ D_{UADD} が D/A 変換対象となる。又、下位ビット画素データ D_L が「101」の場合には、第 $(8n-7)$ 、第 $(8n-5)$ 、第 $(8n-4)$ 、第 $(8n-3)$ 及び第 $(8n-1)$ 番目の各フレームでは加算上位ビット画素デ

ータ DU_{ADD} 、第 $(8n-6)$ 、第 $(8n-2)$ 及び第 $(8n)$ 番目の各フレームでは上位ビット画素データ DU が変換対象画素データ DD となる。すなわち、下位ビット画素データ DL が $[101]$ の場合には、連続する 8 つのフレームの内の 5 つのフレーム各々において、加算上位ビット画素データ DU_{ADD} が D/A 変換対象となる。又、下位ビット画素データ DL が $[100]$ の場合には、第 $(8n-7)$ 、第 $(8n-5)$ 、第 $(8n-3)$ 及び第 $(8n-1)$ 番目の各フレームでは加算上位ビット画素データ DU_{ADD} 、第 $(8n-6)$ 、第 $(8n-4)$ 、第 $(8n-2)$ 及び第 $(8n)$ 番目の各フレームでは上位ビット画素データ DU が変換対象画素データ DD となる。すなわち、下位ビット画素データ DL が $[100]$ の場合には、連続する 8 つのフレームの内の 4 つのフレーム各々において、加算上位ビット画素データ DU_{ADD} が D/A 変換対象となる。又、下位ビット画素データ DL が $[011]$ の場合には、第 $(8n-6)$ 、第 $(8n-4)$ 及び第 $(8n-2)$ 番目の各フレームでは加算上位ビット画素データ DU_{ADD} 、第 $(8n-7)$ 、第 $(8n-5)$ 、第 $(8n-3)$ 、第 $(8n-1)$ 及び第 $(8n)$ 番目の各フレームでは上位ビット画素データ DU が変換対象画素データ DD となる。すなわち、下位ビット画素データ DL が $[011]$ の場合には、連続する 8 つのフレームの内の 3 つのフレーム各々において、加算上位ビット画素データ DU_{ADD} が D/A 変換対象となる。又、下位ビット画素データ DL が $[010]$ の場合には、第 $(8n-6)$ 及び第 $(8n-2)$ 番目の各フレームでは加算上位ビット画素データ DU_{ADD} 、第 $(8n-7)$ 、第 $(8n-5)$ 、第 $(8n-4)$ 、第 $(8n-3)$ 、第 $(8n-1)$ 及び第 $(8n)$ 番目の各フレームでは上位ビット画素データ DU が変換対象画素データ DD となる。すなわち、下位ビット画素データ DL が $[010]$ の場合には、連続する 8 つのフレームの内の 2 つのフレーム各々において、加算上位ビット画素データ DU_{ADD} が D/A 変換対象となる。又、下位ビット画素データ DL が $[001]$ の場合には、第 $(8n-4)$ 番目のフレームでは加算上位ビット画素データ DU_{ADD} 、その他の各フレームでは上位ビット画素データ DU が変換対象画素データ DD となる。すなわち、下位ビット画素データ DL が $[001]$ の場合には、連続する 8 つのフレームの内の 1 つのフレームにおいて、加算上位ビット画素データ DU_{ADD} が D/A 変換対象と

なる。又、下位ビット画素データ D_L が $[000]$ の場合には、第 $(8n-7)$ 、第 $(8n-6)$ 、第 $(8n-5)$ 、第 $(8n-4)$ 、第 $(8n-3)$ 、第 $(8n-2)$ 、第 $(8n-1)$ 及び第 $(8n)$ 番目の各フレームにおいて上位ビット画素データ D_U が変換対象画素データ D_D となる。すなわち、下位ビット画素データ D_L が $[000]$ の場合には、いずれのフレームにおいても加算上位ビット画素データ D_{U_ADD} が D/A 変換対象にはならない。

【0023】

ここで、入力画素データ P_D が例えば 8 ビットである場合、上位ビット画素データ D_U は 5 ビットデータとなり、加算上位ビット画素データ D_{U_ADD} はこの上位ビット画素データ D_U の最下位ビットに「1」を加算した 5 ビットデータとなる。つまり、入力画素データ P_D の下位 3 ビットからの桁上げ分を上位ビット画素データ D_U に加算したものが、加算上位ビット画素データ D_{U_ADD} となる。この際、8 フレーム処理期間内において、入力画素データ P_D の下位 3 ビットの値に応じたフレームの数 (0、1、2、3、4、5、6 又は 7) だけそのフレームでは加算上位ビット画素データ D_{U_ADD} が D/A 変換対象となり、その他のフレームでは上位ビット画素データ D_U が D/A 変換対象となる。かかる動作によれば、例え D/A 変換器 35 自体の分解能が 5 ビットであっても、8 フレーム処理期間を通して最終的に視覚される画像の分解能は、入力画素データ P_D によって要求される 8 ビット相当になる。

【0024】

以上の如く、画像信号処理装置 3 では、入力画素データ P_D の上位 $(N-M)$ ビット分からなる上位ビット画素データ D_U に、その最下位のビット桁に対応した値を加算して加算上位ビット画素データ D_{U_ADD} を生成する。そして、 2^M フレーム処理期間内において、入力画素データ P_D の下位 M ビット分からなる下位ビット画素データ D_L の値に応じた数のフレームでは加算上位ビット画素データ D_{U_ADD} を D/A 変換対象とし、その他のフレームでは上位ビット画素データ D_U を D/A 変換対象としている。つまり、所定期間内において、下位ビット画素データ D_L の値に応じた期間中は加算上位ビット画素データ D_{U_ADD} を D/A 変換対象とし、それ以外の期間では上位ビット画素データ D_U を D/A 変換対象とし

ているのである。

【0025】

かかる構成によれば、例えD/A変換器の分解能を入力画素データによって要求される分解能より低くしても、所定期間（ 2^M フレーム処理期間）を通して最終的に視覚される画像の分解能は、入力画素データによって要求される分解能に等しくなる。従って、D/A変換器の分解能を低下できる分だけ回路規模の縮小化が可能となる。

【0026】

図6は、本発明の他の実施例による画像信号処理装置を搭載したディスプレイ装置の構成を示す図である。

図6において、表示パネル1は、各画素を担う画素セルがマトリクス状に配列されている例えば、液晶ディスプレイパネル、エレクトロルミネッセンスディスプレイパネル、又はプラズマディスプレイパネルの如きディスプレイパネルである。ドライバ2は、画像信号処理装置60から供給されたアナログの画像信号に対応した画像を表示パネル1の画面上に表示させるべき各種駆動信号を発生して上記表示パネル1に供給する。

【0027】

画像信号処理装置60は、フレーム検出回路30、ビット分離回路31、選択制御回路40、電流出力D/A変換器36、加算器37、定電流源38、スイッチング素子39から構成される。

フレーム検出回路30は、表示パネル1の各画素に対応した入力画素データPDが1フレーム分供給される度にフレーム検出信号FDを発生し、これを選択制御回路40に供給する。尚、入力画素データPDは、Nビットのデジタルデータであり、各画素毎にその画素を発光させるべき輝度レベルをNビットで表すものである。

【0028】

ビット分離回路31は、Nビットの入力画素データPDを、その最下位ビットを含む下位のMビット分（M：Nよりも小なる自然数）からなる下位ビット群と、その最上位ビットを含む上位（N-M）ビット分からなる上位ビット群とに分

離する。そして、ビット分離回路 31 は、かかる下位ビット群を下位ビット画素データ DL として選択制御回路 40 に供給すると共に、上位ビット群を上位ビット画素データ DU として電流出力 D/A 変換器 36 に供給する。

【0029】

電流出力 D/A 変換器 36 は、上位ビット画素データ DU によって表される値に対応した電流量を有する画素データ電流 I_p を発生して加算器 37 に供給する。つまり、電流出力 D/A 変換器 36 は、入力画素データ PD の上位 ($N-M$) ビットによって表される各画素の輝度レベルを、その輝度レベルに対応した電流量を有する画素データ電流 I_p に変換して加算器 37 に供給するのである。

【0030】

定電流源 38 は、上位ビット画素データ DU における最下位のビット桁が論理レベル「1」である際の輝度レベルに対応した電流量を有する桁上げ画素データ電流 I_C を発生してこれをスイッチング素子 39 に供給する。

選択制御回路 40 は、先ず、フレーム検出信号 FD に基づいて 2^M フレーム分の入力画素データ PD が供給されたか否かを検出する。ここで、 2^M フレーム分の入力画素データ PD が供給されたことを検出する度に、選択制御回路 40 は、その内の 1 フレーム分の入力画素データ PD に基づき各画素毎の下位ビット画素データ DL を取り込む。そして、選択制御回路 40 は、取り込んだ 1 フレーム分の各画素毎の下位ビット画素データ DL に基づき、その後の 2^M フレーム処理期間内における各フレームにおいて桁上げ画素データ電流 I_C を加算器 37 に供給するか否かを指定するスイッチング信号 SW を生成する。この際、選択制御回路 40 は、上述した如き 2^M フレーム処理期間内における下位ビット画素データ DL に応じた数のフレームではオン状態、その他のフレームではオフ状態を指定するスイッチング信号 SW をスイッチング素子 39 に供給する。

【0031】

例えば、ビット分離回路 31 において分離された下位ビット群のビット数 M が 2 である場合には、選択制御回路 40 は下記の如き動作を行う。

先ず、下位ビット画素データ DL が [00] の場合には、選択制御回路 40 は、4 フレーム処理期間毎に、第 1～第 4 番目のフレーム各々においてオフ状態を

指定するスイッチング信号SWをスイッチング素子39に供給する。又、下位ビット画素データDLが[01]の場合には、選択制御回路40は、4フレーム処理期間毎に、第2番目のフレームではオン状態、その他のフレームではオフ状態を指定するスイッチング信号SWをスイッチング素子39に供給する。又、下位ビット画素データDLが[10]の場合には、選択制御回路40は、4フレーム処理期間毎に、第1及び第3番目のフレームではオフ状態、第2及び第4番目のフレームではオン状態を指定するスイッチング信号SWをスイッチング素子39に供給する。又、下位ビット画素データDLが[11]の場合には、選択制御回路40は、4フレーム処理期間毎に、第1～第3番目のフレーム各々でオン状態、第4番目のフレームではオフ状態を指定するスイッチング信号SWをスイッチング素子39に供給する。

【0032】

スイッチング素子39は、オン状態を指定するスイッチング信号SWが供給された場合に限りオン状態となって、上記桁上げ画素データ電流 I_C を加算器37に供給する。

加算器37は、スイッチング素子39から桁上げ画素データ電流 I_C が供給された場合には、上記画素データ電流 I_P 及び桁上げ画素データ電流 I_C を互いに加算して得られた電流量に応じたレベルを有するアナログの画像信号をドライバ2に供給する。一方、スイッチング素子39から桁上げ画素データ電流 I_C が供給されなかった場合には、加算器37は、上記画素データ電流 I_P にて示される電流量に応じたレベルを有するアナログの画像信号をドライバ2に供給する。

【0033】

以下に、画像信号処理装置60の動作について、入力画素データPDのビット数が8ビットであり、ビット分離回路31において分離された下位ビット群のビット数Mが2である場合を例にとって説明する。

この際、電流出力D/A変換器36は、入力画素データPDの上位6ビット分からなる上位ビット画素データDUをその値に対応した電流量を有する画素データ電流 I_P に変換する。更に、定電流源38により、上位ビット画素データDUの最下位ビットが論理レベル「1」である際の輝度レベルに対応した電流量を有

する桁上げ画素データ電流 I_C が生成される。

【0034】

ここで、下位ビット画素データ DL が $[00]$ の場合には、画素データ電流 I_P に応じたアナログの画像信号がドライバ2に供給される。又、下位ビット画素データ DL が $[01]$ の場合には、4 フレーム処理期間毎に、その第1～第3番目のフレーム各々では画素データ電流 I_P 、第4番目のフレームでは（画素データ電流 I_P + 桁上げ画素データ電流 I_C ）なる電流に応じたアナログの画像信号がドライバ2に供給される。又、下位ビット画素データ DL が $[10]$ の場合には、4 フレーム処理期間毎に、その第1及び第3番目のフレーム各々では画素データ電流 I_P 、第2及び第4番目のフレーム各々では（画素データ電流 I_P + 桁上げ画素データ電流 I_C ）なる電流に応じたアナログの画像信号がドライバ2に供給される。そして、下位ビット画素データ DL が $[11]$ の場合には、4 フレーム処理期間毎に、その第1～第3番目のフレーム各々では（画素データ電流 I_P + 桁上げ画素データ電流 I_C ）なる電流、第4番目のフレームでは画素データ電流 I_P に応じたアナログの画像信号がドライバ2に供給される。

【0035】

すなわち、図6に示される画像信号処理装置60においては、入力画素データ PD の上位ビット群からなる上位ビット画素データ DU を D/A 変換することにより、この上位ビット画素データ DU に対応した電流量を有する画素データ電流 I_P を得る。そして、この画素データ電流 I_P に応じたアナログの画像信号をドライバ2に供給する。この際、 2^M フレーム処理期間毎に、入力画素データ PD の下位ビット群からなる下位ビット画素データ DL の値に応じたフレームの数だけ、そのフレームでは上位ビット画素データ DU の最下位のビット桁に対応した桁上げ画素データ電流 I_C を画素データ電流 I_P に加算するようにしている。つまり、所定期間内における下位ビット画素データ DL の値に応じた期間だけ、上位ビット画素データ DU の最下位のビット桁に対応した桁上げ画素データ電流 I_C を画素データ電流 I_P に加算するのである。

【0036】

かかる構成によれば、図1に示される画像信号処理装置3と同様に、例え D/A

A変換器の分解能を入力画素データによって要求される分解能より低くしても、所定期間（ 2^M フレーム処理期間）を通して最終的に視覚される画像の分解能は、入力画素データによって要求される分解能に等しくなる。従って、D/A変換器の分解能を低下できる分だけ回路規模の縮小化が可能となる。

【0037】

尚、上記実施例においては、1フレーム分の下位ビット画素データDLに基づき、それ以降の 2^M フレーム処理期間内でのD/A変換対象データの選択シーケンスを決定しているが、このような動作に限定されるものではない。例えば、1フレーム分の下位ビット画素データDLを取り込む度に、この下位ビット画素データDLに基づいてD/A変換対象とすべきデータの選択を行うようにしても良い。

【0038】

以下に、その動作について、図1に示されるディスプレイ装置を用いて且つ下位ビット画素データDLのビット数Mが2である場合を例にとって説明する。

先ず、図3に示す如き第（ $4N-3$ ）番目のフレームにおいて、その1フレームの下位ビット画素データDLが[00]又は[01]の場合には、選択制御回路32は、上位ビット画素データDUを選択させるべき選択信号Sをセクタ33に供給する。一方、かかる第（ $4N-3$ ）番目のフレームにおいて、下位ビット画素データDLが[10]又は[11]の場合には、選択制御回路32は、加算上位ビット画素データDU_{ADD}を選択させるべき選択信号Sをセクタ33に供給する。

【0039】

次に、図3に示す如き第（ $4N-2$ ）番目のフレームにおいて、その1フレームの下位ビット画素データDLが[00]又は[10]の場合には、選択制御回路32は、上位ビット画素データDUを選択させるべき選択信号Sをセクタ33に供給する。一方、かかる第（ $4N-2$ ）番目のフレームにおいて、下位ビット画素データDLが[01]又は[11]の場合には、選択制御回路32は、加算上位ビット画素データDU_{ADD}を選択させるべき選択信号Sをセクタ33に供給する。

【0040】

次に、図3に示す如き第(4N-1)番目のフレームにおいて、その1フレームの下位ビット画素データDLが[00]又は[01]の場合には、選択制御回路32は、上位ビット画素データDUを選択させるべき選択信号Sをセレクタ33に供給する。一方、かかる第(4N-1)番目のフレームにおいて、下位ビット画素データDLが[10]又は[11]の場合には、選択制御回路32は、加算上位ビット画素データDU_{ADD}を選択させるべき選択信号Sをセレクタ33に供給する。

【0041】

そして、図3に示す如き第(4N)番目のフレームでは、下位ビット画素データDLの値に拘わらずに、選択制御回路32は、上位ビット画素データDUを選択させるべき選択信号Sをセレクタ33に供給する。

以上の如き選択制御によると、静止画像を表す入力画素データPDが供給された場合には、図3に示される動作と同一の動作が為されることになる。

【0042】

すなわち、第(4N-3)、第(4N-2)、第(4N-1)及び第(4N)フレームからなる4フレーム処理期間内において、入力画素データPDの下位2ビットの値に応じたフレームの数(0、1、2又は3)だけそのフレームでは加算上位ビット画素データDU_{ADD}、その他のフレームでは上位ビット画素データDUがD/A変換対象となるのである。

【図面の簡単な説明】

【図1】

本発明による画像信号処理装置を搭載したディスプレイ装置の概略構成を示す図である。

【図2】

図1に示されるビット分離回路31において分離された下位ビット群のビット数Mが1である場合に、D/A変換器35に入力される変換対象画素データDDの一例を示す図である。

【図3】

図 1 に示されるビット分離回路 31 において分離された下位ビット群のビット数 M が 2 である場合に、D/A 変換器 35 に入力される変換対象画素データ DD の一例を示す図である。

【図 4】

図 1 に示されるビット分離回路 31 において分離された下位ビット群のビット数 M が 3 である場合に、D/A 変換器 35 に入力される変換対象画素データ DD の一例を示す図である。

【図 5】

図 1 に示されるビット分離回路 31 において分離された下位ビット群のビット数 M が 3 である場合に、D/A 変換器 35 に入力される変換対象画素データ DD の一例を示す図である。

【図 6】

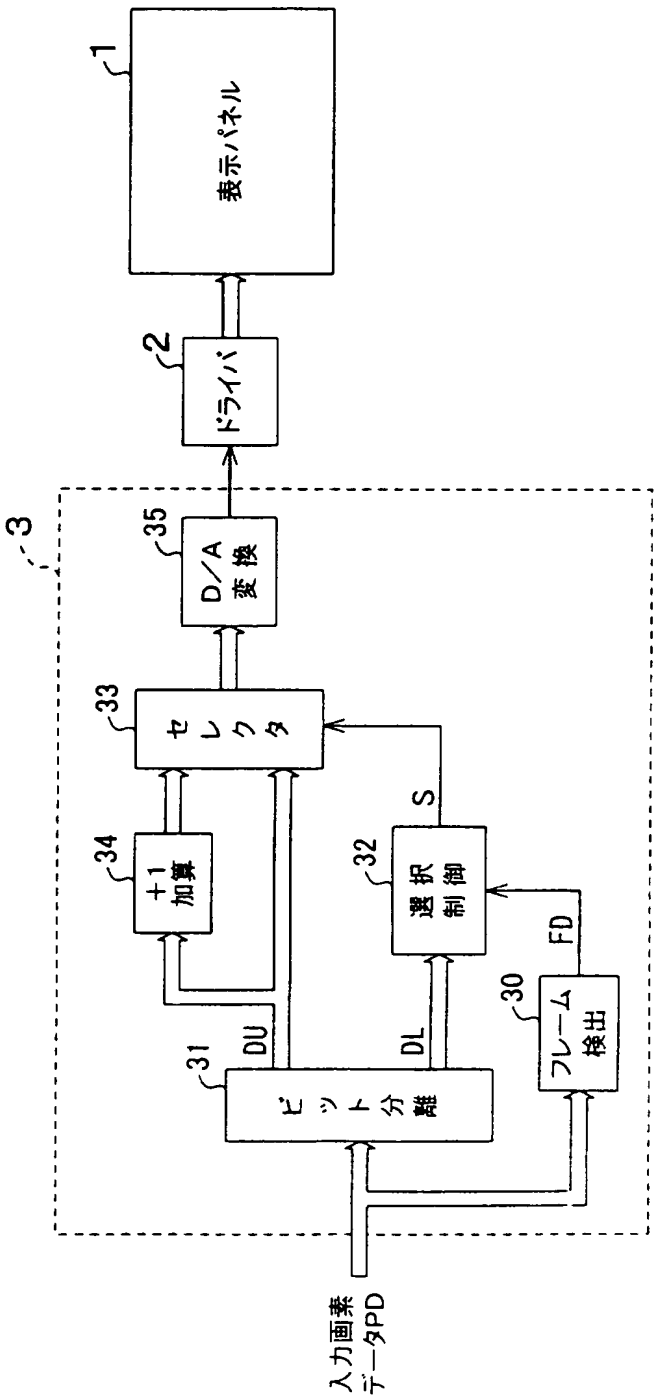
本発明の他の実施例による画像信号処理装置を搭載したディスプレイ装置の概略構成を示す図である。

【符号の説明】

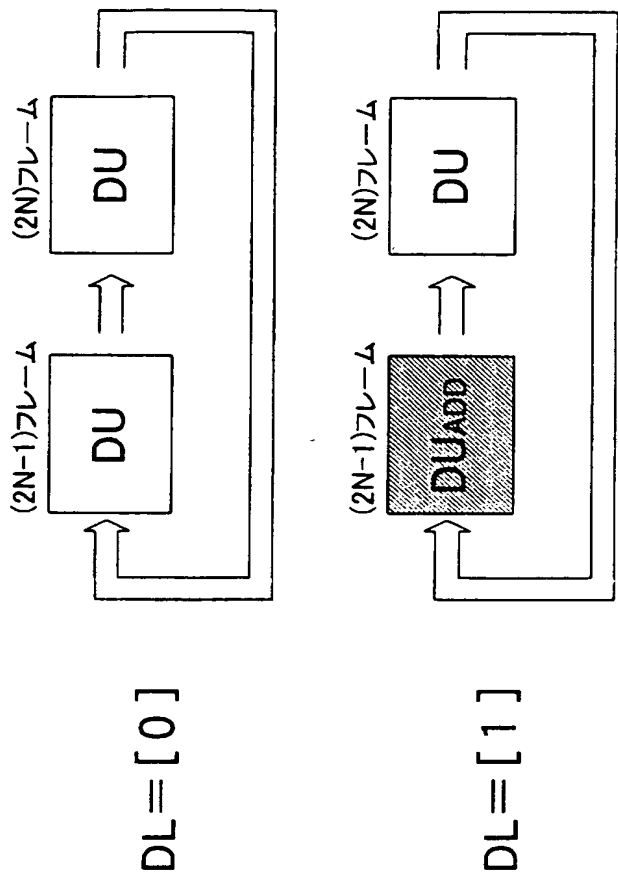
- 3, 60 画像信号処理装置
- 30 フレーム検出回路
- 31 ビット分離回路
- 32, 40 選択制御回路
- 33 セレクタ
- 34 +1 加算器
- 35 D/A 変換器
- 36 電流出力 D/A 変換器
- 37 加算器
- 38 定電流源
- 39 スイッチング素子

【書類名】 図面

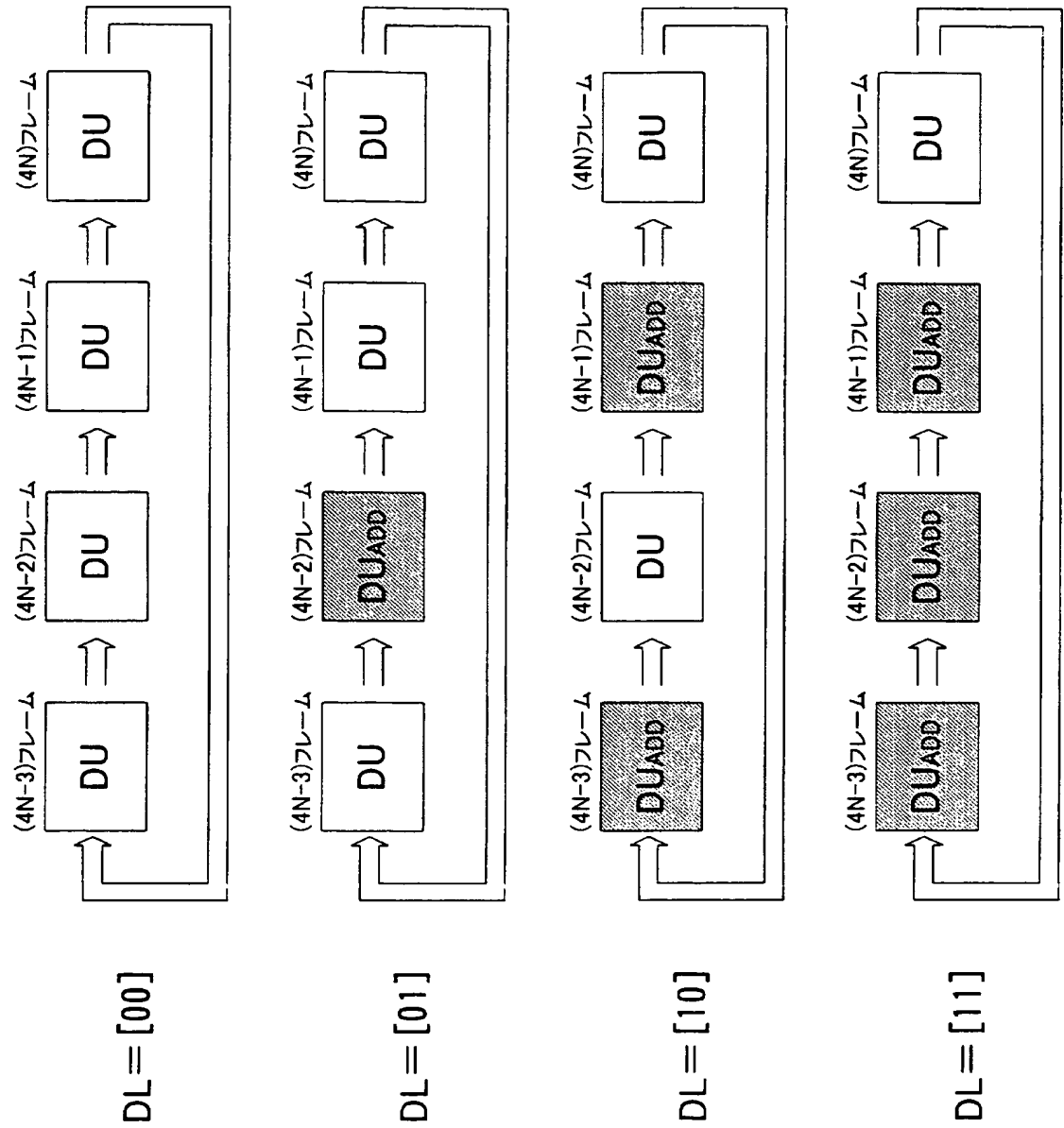
【図 1】



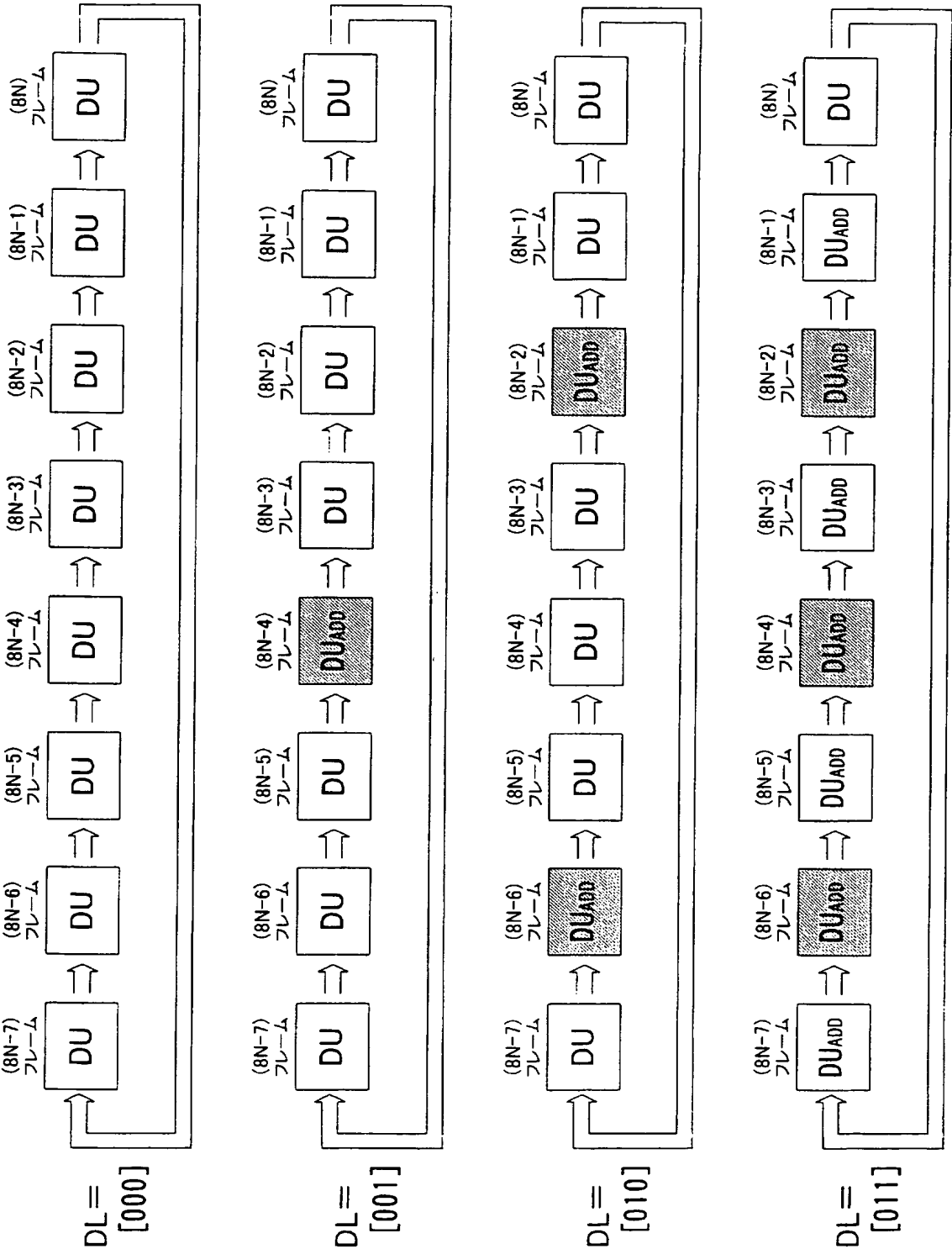
【図 2】



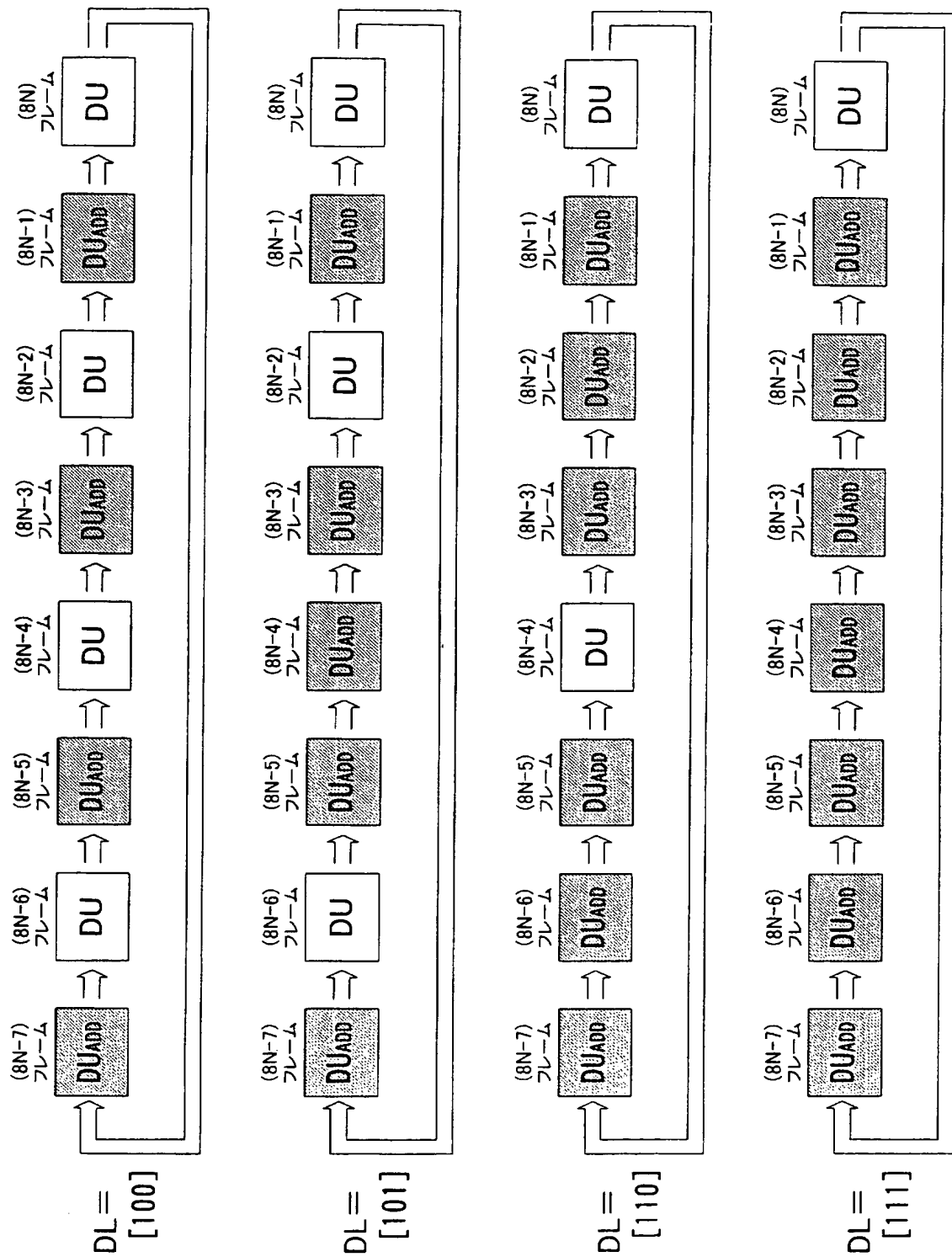
【図 3】



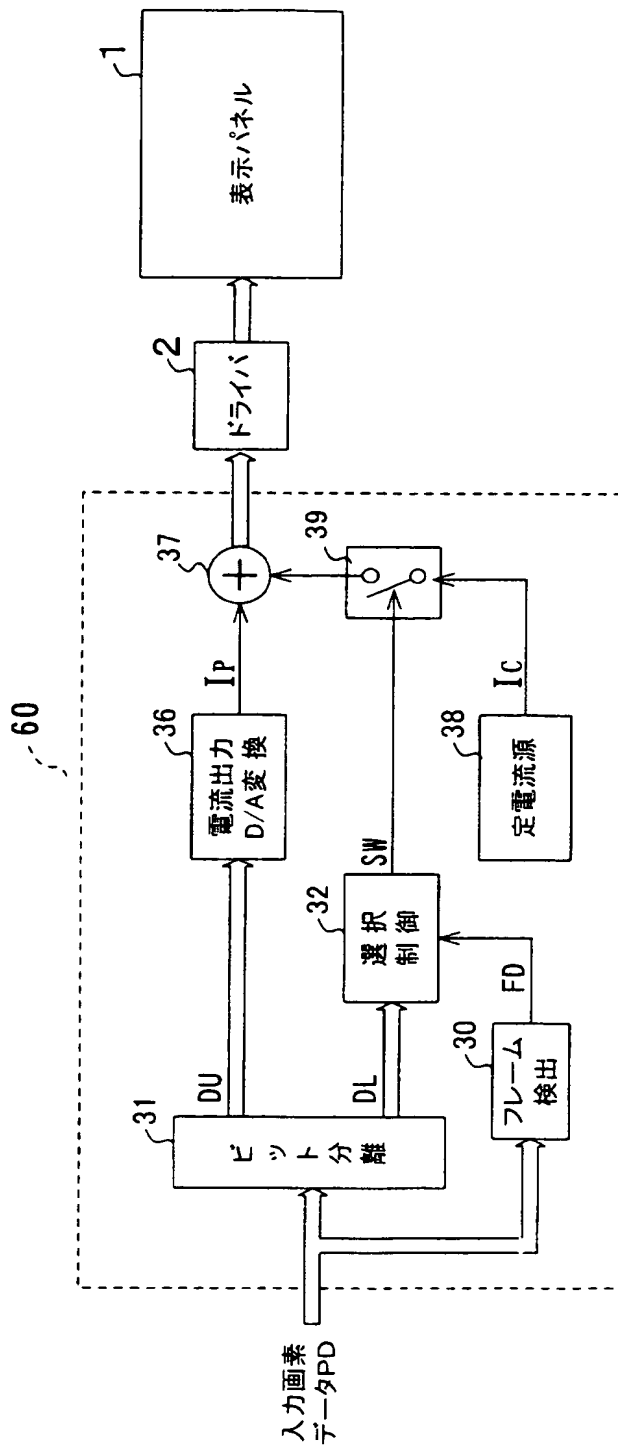
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【目的】 小なる回路規模にてデジタル画像信号をアナログ画像信号に変換することが可能な画像信号処理装置を提供することを目的とする。

【解決手段】 入力画素データの上位ビット群からなる上位ビット画素データに、この上位ビット画素データの最下位のビット桁に対応した値を加算して加算上位ビット画素データを生成する。そして、所定期間内において、入力画素データの下位ビット群からなる下位ビット画素データの値に応じた期間中は加算上位ビット画素データをD/A変換対象とし、それ以外の期間では上位ビット画素データをD/A変換対象とする。かかる構成によれば、例えD/A変換器の分解能を入力画素データによって要求される分解能より低くしても、所定期間を通して最終的に視覚される画像の分解能は、入力画素データによって要求される分解能に等しくなる。従って、D/A変換器の分解能を低下できる分だけ回路規模の縮小化が可能となる。

【選択図】 図1

【書類名】 出願人名義変更届（一般承継）
【整理番号】 57P0615
【提出日】 平成15年 9月 3日
【あて先】 特許庁長官殿
【事件の表示】
 【出願番号】 特願2003- 69709
【承継人】
 【住所又は居所】 山梨県甲府市大里町 4 6 5 番地
 【氏名又は名称】 パイオニア・マイクロ・テクノロジー株式会社
【承継人代理人】
 【識別番号】 100079119
 【弁理士】
 【氏名又は名称】 藤村 元彦
【提出物件の目録】
 【物件名】 承継証明書 1
 【援用の表示】 平成 1 5 年 9 月 3 日提出の特許第 1 9 0 3 5 3 3 号、他 1 1 件に係る会社分割による特許権移転登録申請書に添付のものを援用する。

 【物件名】 登記簿謄本 1
 【援用の表示】 平成 1 5 年 9 月 3 日提出の特許第 1 9 0 3 5 3 3 号、他 1 1 件に係る会社分割による特許権移転登録申請書に添付のものを援用する。

 【物件名】 委任状 1
 【援用の表示】 平成 1 5 年 9 月 3 日提出の特許第 1 9 0 3 5 3 3 号、他 1 1 件に係る会社分割による特許権移転登録申請書に添付のものを援用する。

認定・付加情報

特許出願の番号	特願 2003-069709
受付番号	50301461081
書類名	出願人名義変更届（一般承継）
担当官	古田島 千恵子 7288
作成日	平成 16 年 2 月 24 日

<認定情報・付加情報>

【承継人】

【識別番号】	503213291
【住所又は居所】	山梨県甲府市大里町 4 6 5 番地
【氏名又は名称】	パイオニア・マイクロ・テクノロジー株式会社

【承継人代理人】

申請人	
【識別番号】	100079119
【住所又は居所】	東京都中央区築地 4 丁目 1 番 1 7 号 銀座大野ビル 藤村国際特許事務所
【氏名又は名称】	藤村 元彦

特願 2 0 0 3 - 0 6 9 7 0 9

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 0 1 6]

1. 変更年月日	1 9 9 0 年 8 月 3 1 日
[変更理由]	新規登録
住 所	東京都目黒区目黒 1 丁目 4 番 1 号
氏 名	パイオニア株式会社

特願 2 0 0 3 - 0 6 9 7 0 9

出 願 人 履 歴 情 報

識別番号 [0 0 0 1 1 1 8 8 9]

1. 変更年月日 1 9 9 0 年 8 月 3 1 日

[変更理由] 新規登録

住 所 山梨県中巨摩郡田富町西花輪 2 6 8 0 番地

氏 名 パイオニアビデオ株式会社

特願 2 0 0 3 - 0 6 9 7 0 9

出 願 人 履 歴 情 報

識別番号

[5 0 3 2 1 3 2 9 1]

1. 変更年月日

2 0 0 3 年 6 月 1 2 日

[変更理由]

新規登録

住 所

山梨県甲府市大里町 4 6 5 番地

氏 名

パイオニア・マイクロ・テクノロジー株式会社